

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-266316
 (43)Date of publication of application : 24.09.2004

(51)Int.Cl. H03G 3/10
 H03F 3/34
 H03H 11/04

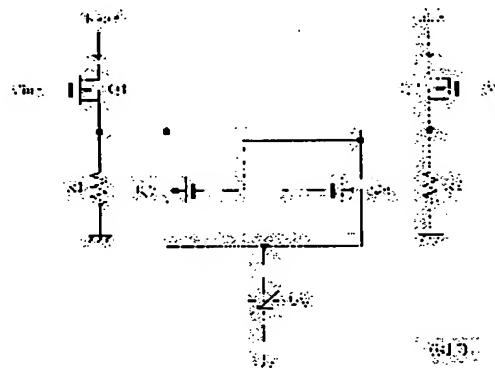
(21)Application number : 2003-010533 (71)Applicant : NEC CORP
 (22)Date of filing : 20.01.2003 (72)Inventor : Hori Shinichi

(54) VARIABLE GAIN VOLTAGE/CURRENT CONVERTING CIRCUIT, AND FILTER CIRCUIT USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a variable gain voltage/current conversion circuit, namely, a gm amplifier which can greatly change a gain range without using a large number of elements.

SOLUTION: A parallel circuit of a positive resistor R1 (R2) and a transistor Q3 (Q4) which function as negative resistance is connected in series to transistors Q1 and Q2 for converting voltage/current. A variable voltage source VV is connected between Q3 (Q4) and ground, and a voltage value is controlled to control the resistance value of Q3 (Q4). When the voltage of the variable voltage source VV is changed, the resistance value of Q3 (Q4) changes. Thus, the voltage between the gates/sources of the transistors Q1 and Q2 changes and its gm value also changes.



LEGAL STATUS

[Date of request for examination] 28.04.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

SR

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-266316

(P2004-266316A)

(43) 公開日 平成16年9月24日(2004.9.24)

(51) Int.CI.⁷
H03G 3/10
H03F 3/34
H03H 11/04

F 1
H03G 3/10
H03G 3/10
H03F 3/34
H03H 11/04
H03H 11/04

テーマコード(参考)
5J098
5J100
5J500

審査請求 有 請求項の数 20 O L (全 18 頁)

(21) 出願番号 特願2003-10533 (P2003-10533)
(22) 出願日 平成15年1月20日 (2003.1.20)

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(74) 代理人 100096253
弁理士 尾身 祐助
(72) 発明者 堀 真一
東京都港区芝五丁目7番1号 日本電気株
式会社内
F ターム(参考) 5J098 AA03 AA13 AA14 AB00 AC05
AC09 AC14 AC27 AD02 CA02
CB09
5J100 AA03 AA23 BA01 BA05 BB01
BB02 BB07 BB08 BC03 CA00
CA02 CA05 CA22 EA02 FA02

最終頁に続く

(54) 【発明の名称】利得可変電圧・電流変換回路とこれを用いたフィルタ回路

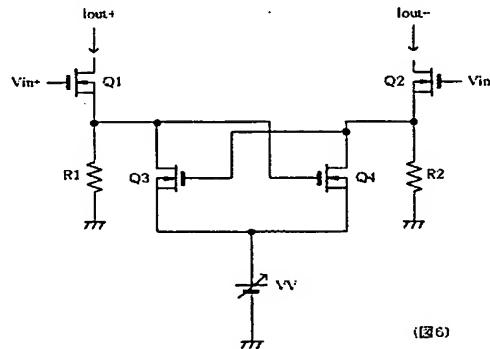
(57) 【要約】

【課題】多くの点数の素子を使用することなく、大きく利得範囲を変化させることのできるgmアンプを提供する。

【解決手段】、電圧・電流変換を行うトランジスタQ1、Q2に直列に、正抵抗R1(R2)と負性抵抗として機能するトランジスタQ3(Q4)との並列回路を接続する。Q3(Q4)と接地間に可変電圧源VVを接続し、その電圧値を制御することにより、Q3(Q4)の抵抗値を制御する。

【効果】可変電圧源VVの電圧を変化させるとQ3(Q4)の抵抗値が変化しこれによりトランジスタQ1、Q2のゲート-ソース間電圧が変化し、そのgm値が変化する。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

入力電圧に対応した電流を出力する回路であって、電圧・電流変換を行う、入力端子と出力側端子と接地側端子とを有する能動素子と、前記能動素子の接地側にて該能動素子に直列に接続された、該能動素子の変換利得を制御する抵抗値可変の抵抗回路とを有し、前記抵抗回路は、負性抵抗素子を含むことを特徴とする利得可変電圧・電流変換回路。

【請求項 2】

互いに相補の入力電圧に対応した相補の電流を出力する回路であって、電圧・電流変換を行う、それぞれが入力端子と出力側端子と接地側端子とを有する差動動作する一対の能動素子と、各能動素子の接地側にて該能動素子に直列に接続された、それぞれの能動素子の変換利得を制御する、抵抗値可変の一対の抵抗回路とを有し、前記各抵抗回路は、負性抵抗素子を含むことを特徴とする利得可変電圧・電流変換回路。
10

【請求項 3】

前記負性抵抗素子は、抵抗値可変の抵抗素子であることを特徴とする請求項 1 または 2 に記載の利得可変電圧・電流変換回路。

【請求項 4】

前記抵抗回路は、前記電圧・電流変換を行う能動素子に直列に接続された 1 ないし複数の抵抗素子といずれかの抵抗素子と並列接続された負性抵抗素子とによって構成されることを特徴とする請求項 1 から 3 のいずれかに記載の利得可変電圧・電流変換回路。

【請求項 5】

前記抵抗回路は、前記電圧・電流変換を行う能動素子に直列に接続された、抵抗素子と負性抵抗素子との直列回路によって構成されることを特徴とする請求項 1 から 3 のいずれかに記載の利得可変電圧・電流変換回路。
20

【請求項 6】

前記抵抗回路は、前記電圧・電流変換を行う能動素子に直列に接続された第 1 の抵抗素子と、該第 1 の抵抗素子と並列接続された、負性抵抗素子と第 2 の抵抗素子との直列回路とによって構成されることを特徴とする請求項 1 から 3 のいずれかに記載の利得可変電圧・電流変換回路。

【請求項 7】

対をなす前記負性抵抗素子は、前記能動素子と前記抵抗回路との節点若しくは前記抵抗回路内の任意の節点のノード信号を入力信号とし交差接続されて差動動作する一対の能動素子で実現されることを特徴とする請求項 2 記載の利得可変電圧・電流変換回路。
30

【請求項 8】

前記負性抵抗素子は、電界効果トランジスタまたはバイポーラトランジスタにより構成されることを特徴とする請求項 1 から 7 のいずれかに記載の利得可変電圧・電流変換回路。

【請求項 9】

負性抵抗素子として動作する電界効果トランジスタまたはバイポーラトランジスタのソース電位またはエミッタ電位を制御することにより負性抵抗素子の抵抗値を制御することを特徴とする請求項 8 に記載の利得可変電圧・電流変換回路。

【請求項 10】

負性抵抗素子として動作するトランジスタのソースまたはエミッタと基準電位点間には電圧発生回路が接続され、該電圧発生回路の発生する電圧を制御することにより負性抵抗素子の抵抗値を制御することを特徴とする請求項 9 に記載の利得可変電圧・電流変換回路。
40

【請求項 11】

前記電圧発生回路は、第 1 入力端子に電位制御信号が入力されるオペアンプと、該オペアンプの出力端子に入力端子が接続されその出力端子が前記オペアンプの第 2 入力端子に接続された能動素子とにより構成されていることを特徴とする請求項 10 に記載の利得可変電圧・電流変換回路。

【請求項 12】

負性抵抗素子が、差動動作する一対の電界効果トランジスタまたはバイポーラトランジス
50

タにより実現されているとき、対をなすトランジスタのソース同士またはエミッタ同士は互いに接続されていることを特徴とする請求項 9 に記載の利得可変電圧・電流変換回路。

【請求項 13】

前記電圧・電流変換を行う能動素子と前記抵抗回路との接続節点には、該接続節点の電位を調整する電位調整手段が接続されていることを特徴とする請求項 1 から 12 のいずれかに記載の利得可変電圧・電流変換回路。

【請求項 14】

前記電位調整手段が、基準電位と前記接続節点間に接続された、入力端子にバイアス信号が入力される能動素子によって構成されていることを特徴とする請求項 13 に記載の利得可変電圧・電流変換回路。

10

【請求項 15】

前記電位調整手段による電位調整が、前記負性抵抗素子の抵抗値可変動作に伴って生じる前記接続節点の電位変動を補償するものであることを特徴とする請求項 13 または 14 に記載の利得可変電圧・電流変換回路。

【請求項 16】

前記抵抗回路には、正抵抗値の可変抵抗器が含まれていることを特徴とする請求項 1 から 15 のいずれかに記載の利得可変電圧・電流変換回路。

20

【請求項 17】

前記可変抵抗器が能動素子によって形成されていることを特徴とする請求項 16 に記載の利得可変電圧・電流変換回路。

【請求項 18】

前記電圧・電流変換を行う能動素子が電界効果トランジスタまたはバイポーラトランジスタによって構成されていることを特徴とする請求項 1 から 17 のいずれかに記載の利得可変電圧・電流変換回路。

20

【請求項 19】

前記電圧・電流変換を行う能動素子と前記負性抵抗素子を構成する能動素子とが導電型の異なる同種のトランジスタによって構成されていることを特徴とする請求項 1 から 18 のいずれかに記載の利得可変電圧・電流変換回路。

【請求項 20】

請求項 1 ~ 19 のいずれかに記載された利得可変電圧・電流変換回路と容量素子との組み合せ回路を含むフィルタ回路であって、前記可変利得電圧・電流変換回路の利得を変化させることにより通過帯域を調整することが可能なフィルタ回路。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、変換利得が可変の、利得可変電圧・電流変換回路、すなわち変換利得が可変の g_m アンプに関し、特に広い利得可変範囲を有する利得可変電圧・電流変換回路とその利得可変電圧・電流変換回路と容量素子との組み合せ回路を含むフィルタ回路とに関するものである。

【0002】

40

【従来の技術】

近年、複数の無線通信方式に対応した受信機（＝マルチモード対応受信機）の出現が求められている。このシステムを構成するためには、個々の通信方式に対応したチャネル選択フィルタ回路（＝マルチモード対応フィルタ）が必要であり、このフィルタには、通過帯域幅を広範囲に渡って可変にできる機能が求められている。一般的に受信機をワンチップで構成するとき、チャネル選択フィルタには、電圧・電流変換回路（＝ g_m アンプ）と容量素子とで構成する、 $g_m - C$ 方式が使われる。先にあげた通過帯域幅に可変特性の機能を持たせるためには、 g_m アンプに、広範囲に渡って変換利得を変化させ得る特性を持たせる必要がある。

g_m アンプは、具体的には、バイポーラトランジスタ、MOSトランジスタ等のアクティ

50

トランジスタで構成されるが、実際の設計においては、プロセスバラツキに対応するために、 g_m 値を設計値に対して、-30%～+30%の間で電気的に制御可能になっているものが多い。その範囲を超えて調整するためには、スイッチ回路を用いて切り替える方式が一般的である。

【0003】

一例として、ソースデジエネレーションの手法により線型性を高めた広利得可変範囲を持つMOS型 g_m アンプを図24に示す（例えば、非特許文献1参照）。図24は、図23に示すソースデジエネレーション型 g_m アンプを差動型に構成した回路である。図23の回路において、電圧・電流変換を行うn型MOSトランジスタQ21のゲートに入力電圧信号 V_{in} を入力すると出力電流 I_{out} が得られる。図24の回路は、図23の正抵抗 R21を、正抵抗R21、R23、R25（R22、R24、R26）に分割し、対応する各分割点の差動対を、スイッチ回路SW1およびSW2を介して接続したものである。図24において、Q21、Q22は、電圧・電流変換を行うn型MOSトランジスタである。

10

図23に示す回路の G_m 値（= I_{out}/V_{in} ）は、Q21の相互コンダクタンスを g_m 、抵抗R21の抵抗値をRとして下記の式（1）で与えられる。

【0004】

【数1】

$$G_m = \frac{gm_0}{1+gm_0 \cdot R} \quad \cdots(1)$$

上式は、R21の抵抗値を可変にすることで G_m を制御できることを示している。

【0005】

図24において、スイッチ回路がすべてオフ状態の時、MOSトランジスタQ21（Q22）のソースとグランド間の抵抗値は、R21、R23、R25（R22、R24、R26）までの抵抗値の総和で表される。一方、スイッチ回路SW1がオン状態の時、この回路が差動回路であることを考慮すると、SW1を含むノードが交流的に接地されたことになる。このため、MOSトランジスタQ21（Q22）のソースとグランド間には、交流的には抵抗R21（R22）のみが接続されていることに等しくなる。すなわち、式（1）のRは、スイッチ回路SW1、SW2がオフ状態の時、 $R_{R21} + R_{R23} + R_{R25} (R_{R22} + R_{R24} + R_{R26})$ となり、スイッチ回路SW1がオン状態の時には $R_{R21} (R_{R22})$ となる。 $R_{R21} \sim R_{R26}$ が全て等しく、 $g_m = 1/R$ のとき、式（1）の G_m は2倍可変である。この図24の回路の特徴は、スイッチで切り替えてもバイアス電圧は、各ノードで変化しないため、式（1）の g_m は一定値として扱うことができ、抵抗値の制御のみで G_m を可変にできることである。

【0006】

図25は、第二の従来例を示した回路図である（例えば、非特許文献2参照）。図25（a）は全体の構成を示す回路図、図25（b）は、（a）図中のプログラマブルカレントミラー回路の構成を示す回路図である。図25において、Q23～Q26はp型MOSトランジスタ、Q27～Q36はn型MOSトランジスタ、CS1～CS3は電流源、VSは電圧源、SW3～SW5はスイッチ回路である。この回路では、 g_m アンプの出力電流の流れるMOSトランジスタQ31～Q33を並列配置し、スイッチ回路SW3～SW5を用いて稼動するMOSトランジスタを選択できる構成になっている。

40

MOSトランジスタQ23、Q24およびQ25、Q26のゲートに、差動の入力電圧信号 V_{in+} 、 V_{in-} が入力されると、この4つのMOSトランジスタを通して、2つのカレントミラー回路G1およびG2に、差動入力電圧に対応した差動成分を持った電流が流れ込む。G1およびG2では、差動成分をSW3～SW5を切り替えることにより、差動成分を所望の倍率に増幅して電流出力を取り出すことができる。

【0007】

50

図示された状態では、カレントミラー回路G1およびG2は、スイッチ回路SW3、SW4が電源側にバスをもつことにより、トランジスタQ31、Q32が稼動状態となっている。この状態からGm値を下げるには、スイッチ回路SW4のバスを接地側に切り替えると、Q32が非稼動状態となってGm値が下がる。図示された状態からGm値を上げるには、スイッチ回路SW5のバスを電源側に切り替えると、Q33が稼動状態となってGm値が上がる。

この回路の特徴は、スイッチ回路の一端は、MOSトランジスタのゲートに接続されるため、スイッチ回路の寄生成分（抵抗・容量成分等）の影響が少なくなることである。また、並列させるMOSトランジスタの数を増やすほどGm値の可変幅を大きくすることができる。

10

【0008】

【非特許文献1】

I E E E J S S C v o l . 3 5 , n o . 4 , p p . 4 7 6 - 4 8 9 , A p r .
2 0 0 0

【非特許文献2】

I E E E J S S C v o l . 3 7 , N o . 2 , p p . 1 2 5 - 1 3 6 , F e b .
2 0 0 2

【0009】

【発明が解決しようとする課題】

上述した従来例では、gmアンプに広利得可変範囲を持たせるためには、スイッチ回路を用いる必要があったため、制御にデジタル回路を必要とし、回路構成が複雑となり、チップ面積の増大を招いていた。また、第一の従来例（図24）の回路においては、電流がスイッチ回路を流れるために、スイッチ回路の寄生的なインピーダンスの影響が大きくなっていた。図25の第二の従来例回路においても、広利得可変範囲を持たせるためには、多くの電流源として用いるMOSトランジスタを並列させなければならず、最小数のMOSトランジスタのみを稼動させる時には、その他の非稼動のMOSトランジスタの容量成分の影響が大きくなるという問題があった。そのため、このgmアンプを用いて通過帯域可変フィルタを形成する場合には、フィルタの構成が複雑となり、チップの大型化を招いていた。

【0010】

本発明の課題は、上述した従来回路の問題点を解決することであって、その目的は、第1に、スイッチ回路を必要とせず、唯一つの制御端子に調整電圧を与えることにより利得を広範囲にわたって変化させることのできる利得可変電圧・電流変換回路を実現することであり、第2に、回路構造の簡易化を図り、チップ面積の低減を実現することであり、第3に、通過帯域可変幅の大きいフィルタを簡素な回路構成により実現できるようにして低チップ面積のマルチモード受信機を実現できるようにすることである。

【0011】

【課題を解決するための手段】

上記の目的を達成するため、本発明によれば、入力電圧に対応した電流を出力する回路であって、電圧・電流変換を行う、入力端子と出力側端子と接地側端子とを有する能動素子と、前記能動素子の接地側にて該能動素子に直列に接続された、該能動素子の変換利得を制御する抵抗値可変の抵抗回路とを有し、前記抵抗回路は、負性抵抗素子を含むことを特徴とする利得可変電圧・電流変換回路、が提供される。

【0012】

また、上記の目的を達成するため、本発明によれば、上記のように構成された利得可変電圧・電流変換回路と容量素子との組み合わせ回路を含むフィルタ回路であって、前記可変利得電圧・電流変換回路の利得を変化させることにより通過帯域を調整することが可能なフィルタ回路、が提供される。

【0013】

（作用）

30

40

50

本発明によれば、電圧・電流変換を行う能動素子と直列に負性抵抗素子を含む抵抗値可変の抵抗回路が接続される。そして、抵抗回路においては、負性抵抗素子または正抵抗素子の抵抗値を変化させることができるように構成することにより、その抵抗値を大幅に変化させることができになる。よって、能動素子の電圧・電流変換利得の可変範囲を大きく確保することができる。負性抵抗素子や正抵抗素子は、MOSトランジスタやバイポーラトランジスタによって構成することができる、単一の制御信号によって抵抗値制御が可能であるため、スイッチ回路を使用する必要がなく、利得可変電圧・電流変換回路を少ない回路素子数でコンパクトに形成することができる。したがって、このように構成された利得可変電圧・電流変換回路と容量素子とを組み合わせることにより、通過帯域可変幅の大きいフィルタを簡素な回路構成により実現することができる。

10

【 0 0 1 4 】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して詳細に説明する。

図1(a)は、本発明の第1の実施の形態を示す回路図であり、図1(b)はその動作説明図である。本実施の形態では、電圧・電流変換を行う能動素子としてn型MOSトランジスタQ0が用いられ、この能動素子に直列に接続される抵抗回路が、負性抵抗NRと正抵抗R0とを並列に配置した回路になっている。

図1(a)におけるgmアンプの動作原理を以下に示す。Gm値($= I_{out} / V_{out}$)は、式(1)のRに、 $1 / (1/R_0 - 1/R_{NR})$ を代入したものになり、下の式(2)で表される。

20

【 0 0 1 5 】

【数2】

$$Gm = \frac{1}{1 + \frac{1}{\frac{1}{R_0} - \frac{1}{R_{NR}}}} gm_0 \quad \cdots (2)$$

式(2)において、 R_0 は正抵抗R0の抵抗値を、 R_{NR} は負性抵抗NRの抵抗値の絶対値を、 gm_0 はMOSトランジスタQ0のgm値をそれぞれ示す。

図1(b)は、式(2)において R_{NR} を変化させたときのGm値の変化を示すグラフである。図1(b)において太線で示すように、 R_{NR} を、 R_0 ～無限大まで変化させることにより、Gm値を0から式(1)で示した値まで変化させることができる。すなわち、Gmは無限大の割合で変化させることができる。また、図1(b)から分かるように、 R_{NR} を、 $R_0 / (1 + gm_0 R_0) \sim R_0$ と変化させることにより、Gm値をマイナス無限大から0まで変化させることができ、更には R_{NR} を、0～ $R_0 / (1 + gm_0 R_0)$ と変化させることにより、Gm値を $gm_0 / 2$ から無限大まで変化させることができる($R_0 = 1 / gm_0$ として)、それぞれGmを無限大の割合で変化させることができる。但し、 R_{NR} を $R_0 / (1 + gm_0 R_0) \sim R_0$ と変化させる場合は、Gmが負値となり他の場合と出力電流 I_{out} の向きが逆になる。このように、本願発明は、Gm値が負となる場合も包含している。而して、本願発明においては、 R_{NR} は、必ずしも高範囲に変化させる必要はなく必要なGm値の可変範囲に応じてその可変範囲を選定すればよい。例えば R_{NR} を R_0 ～無限大の範囲内の有限の範囲内に選定することができる。

30

【 0 0 1 6 】

図2(a)は、本発明の第2の実施の形態を示す回路図であり、図2(b)はその動作説明図である。本実施の形態でも、電圧・電流変換を行う能動素子としてn型MOSトランジスタQ0が用いられ、この能動素子に直列に接続される抵抗回路が、負性抵抗NRと正抵抗R0とを直列に接続した回路になっている。

図2(a)に示す第2の実施の形態においては、Gmは、式(1)のRに $R_0 - R_{NR}$ を代入することによって得られ、式(3)に示すようになる。

40

【 0 0 1 7 】

50

【数3】

$$Gm = \frac{1}{1 + (R_0 - R_{NR}) gm_0} gm_0 \quad \dots(3)$$

図2(b)は、式(3)において R_{NR} を変化させたときの Gm 値の変化を示すグラフである。本実施の形態においては、図2(b)において太線で示すように、 R_{NR} が無限大のとき $Gm = 0$ 、 R_{NR} が $R_0 + 1/gm_0$ のとき $Gm = \text{マイナス無限大}$ となり、 Gm に無限大の可変特性を持たせることができる。

【0018】

10

図3(a)は、本発明の第3の実施の形態を示す回路図あり、図3(b)はその動作説明図である。本実施の形態でも、電圧・電流変換を行う能動素子としてn型MOSトランジスタQ0が用いられ、この能動素子に直列に接続される抵抗回路は、正抵抗 R_0 と、負性抵抗 NR と正抵抗 R_{00} との直列接続回路とを並列に配置した回路により構成されている。

第3の実施の形態においては、 Gm は、式(1)の R に $1/R_0 - 1/(R_{NR} - R_{00})$ を代入することによって得られ、式(4)に示すようになる。但し、 R_{00} は、正抵抗 R_{00} の抵抗値である。

【0019】

20

【数4】

$$Gm = \frac{1}{1 + \left(\frac{1}{R_0} - \frac{1}{R_{NR} - R_{00}} \right) gm_0} gm_0 \quad \dots(4)$$

図3(b)は、式(4)において R_{NR} を変化させたときの Gm 値の変化を示すグラフである。図3(b)において太線で示すように、 $R_{NR} = R_0 + R_{00}$ で $Gm = 0$ 、 R_{NR} が無限大で $Gm = gm_0/2$ となり($R_0 = 1/gm_0$ として)、 Gm に無限大の可変特性を持たせることができる。

【0020】

30

図4(a)は、本発明の第4の実施の形態を示す回路図あり、図4(b)はその動作説明図である。本実施の形態でも、電圧・電流変換を行う能動素子としてn型MOSトランジスタQ0が用いられ、この能動素子に直列に接続される抵抗回路は、正抵抗 R_0 と、負性抵抗 NR と正抵抗 R_0 との並列回路とを直列に接続した回路になっている。

本実施の形態における Gm 値は、式(1)の R に、 $R_{00} + 1/(1/R_0 - 1/R_{NR})$ を代入したものになり、下の式(5)で表される。

【0021】

【数5】

40

$$Gm = \frac{1}{1 + \left(R_{00} + \frac{1}{\frac{1}{R_0} - \frac{1}{R_{NR}}} \right) gm_0} gm_0 \quad \dots(5)$$

図4(b)は、式(5)において R_{NR} を変化させたときの Gm 値の変化を示すグラフである。図4(b)において太線で示すように、 $R_{NR} = R_0$ で $Gm = 0$ 、 R_{NR} が無限大で $Gm = gm_0/3$ となり($R_0 = R_{00} = 1/gm_0$ として)、 Gm に無限大の可変特性を持たせることができる。

【0022】

図5(a)は、本発明の第5の実施の形態を示す回路図あり、図5(b)はその動作説明

50

図である。本実施の形態でも、電圧・電流変換を行う能動素子としてn型MOSトランジスタQ0が用いられ、この能動素子に直列に接続される抵抗回路は、負性抵抗NRのみにより構成されている。

本実施の形態では、Gmは、式(1)のRに $-R_{NR}$ を代入することでえられ、式(6)のようになる。

【0023】

【数6】

$$Gm = \frac{1}{1 - R_{NR} \cdot gm_0} gm_0 \quad \dots(6)$$

10

図5(b)は、式(6)において R_{NR} を変化させたときのGm値の変化を示すグラフである。この回路では、図5(b)において太線で示すように、 $R_{NR} = 1 / gm_0$ のときGmはマイナス無限大、 R_{NR} が無限大のとき $Gm = 0$ となり、無限大の可変特性を持たせることができる。

なお、第2ないし第5の実施の形態においても、各図(b)の細線範囲において R_{NR} を変化させることもできる。

【0024】

以上の実施の形態では、電圧・電流変換を行う能動素子としてn型MOSトランジスタを用いていたがこれに代えバイポーラトランジスタ、MES型FETなど任意の能動素子を用いることができる。また、この種の能動素子2個を差動動作できるように交差接続して20相補の入力電圧を入力し相補の出力電流を得るようにすることができる。また、上記の実施の形態では、負性抵抗NRが可変抵抗であるものとして説明したが、逆に負性抵抗を固定抵抗とし正抵抗R0、R00を可変抵抗とすることもできる。例えば、図1に示す回路において、R0を可変抵抗とした場合には、式(2)から、 R_0 を、 $R_{NR} \sim$ 無限大まで変化させることにより、Gm値を0から無限大まで変化させることができ($R_{NR} = 1 / gm_0$ として)、Gmは無限大の割合で変化させることができる。これらの負または正の可変抵抗器は、MOSトランジスタなどの能動素子を用いて実現することができる。

【0025】

【実施例】

次に、本発明の具体的な実施例について図面を参照して詳細に説明する。

30

(第1の実施例)

図6は、本発明の第1の実施例を示す回路図である。同図において、Q1、Q2は、電圧・電流変換を行う能動素子として、入力電圧信号 V_{in+} 、 V_{in-} を受け、出力電流 I_{out+} 、 I_{out-} を出力する同サイズのn型MOSトランジスタであり、R1、R2は同じ抵抗値を持つ正抵抗、Q3、Q4は負性抵抗の動作をする同サイズのn型MOSトランジスタ、VVは可変電圧源である。

ソース接地型MOSトランジスタ回路においては、ソースを接地端子、ドレインを出力端子、ゲートを制御端子に対応づけることができ、R1、R2、Q3、Q4はすべて、Q1、Q2のソース側すなわち、接地端子側に接続された構成になっている。

このgmアンプ回路の動作原理を以下に示す。先に図1で説明した負性抵抗NRがQ3で置き換えられた構成であるので、 $R_{NR} = 1 / gm_{Q3}$ に相当し、図6の回路のGm値($= (I_{out+} - I_{out-}) / (V_{in+} - V_{in-})$)は、式(1)のRに、 $1 / (1 / R_{R1} - gm_{Q3})$ を代入したものになり、下の式(7)で表される。

【0026】

【数7】

$$Gm = \frac{1}{1 + \frac{1}{\frac{1}{R_{R1}} - gm_{Q3}}} gm_0 \quad \dots(7)$$

式(7)において、 R_{R1} は、 $R1$ および $R2$ の正抵抗の値を示し、 gm_{Q3} は、MOSトランジスタ $Q3$ および $Q4$ の gm 値を示し、 gm_0 は、MOSトランジスタ $Q1$ および $Q2$ の gm 値を示す。

上記の式(7)から、 gm_{Q3} を、 $1/R_{R1} \sim 0$ と変化させることにより、 Gm 値を0から式(1)で示した値まで変化させることができる。すなわち、 Gm は無限大の割合で変化させることができる。

【0027】

gm_{Q3} の制御は、 gm 値はゲート・ソース間電圧 Vgs に比例して変化することを用いる。すなわち、 $Q3$ および $Q4$ のゲート・ソース間の電圧 Vgs を、 $Q3$ および $Q4$ のソース端に接続された可変電圧源 VV の電圧値で制御する。可変電圧源 VV の電圧が最小の10値の時に、 gm_{Q3} の最大値が $1/R_{R1}$ となるようにMOSトランジスタ $Q3$ 、 $Q4$ を設計しておけば、 VV の電圧を $Q3$ および $Q4$ のドレイン電位まであげた時、 gm_{Q3} は0となるので、 Gm 値は0から $gm_0 / (1 + R_{R1} \cdot gm_0)$ まで可変で、無限大の割合で変化させることができる。

図7は、可変電圧源 VV の具体的回路例を示す回路図である。図中、図6の回路において負性抵抗素子として機能するMOSトランジスタ $Q3$ および $Q4$ も示されている。 $Q5$ は、電圧源として機能するn型MOSトランジスタであり、OAはオペアンプである。 $Q5$ のドレイン電位をOAの+入力端子に接続し、OAの出力端を $Q5$ のゲートに接続することにより、OAの-入力端子に入力される電位を $Q5$ のドレイン電位、すなわち、 $Q3$ および $Q4$ のソース電位に与えることができる。また、 $Q3$ および $Q4$ は差動で動作するため、 $Q5$ のドレインに流れる電流の交流成分は0である。このため、オペアンプは、高周波領域での動作は、特に要求されることはなく、従って、図7に示した回路は安定な電圧源として機能することができる。

【0028】

(第2の実施例)

図8は、本発明の第2の実施例を示す回路図である。同図において、図6と同一の部分には、同一の参照符号が付されている。図8において、 $Q6$ 、 $Q7$ は、p型MOSトランジスタ、1は、トランジスタ $Q6$ 、 $Q7$ のゲートにバイアス電位を与えるバイアス回路である。

図6の回路においては、可変電圧源 VV の電圧値を変化させると、トランジスタ $Q3$ 、 $Q4$ のドレインに流れ込む直流電流が変化し、トランジスタ $Q1$ 、 $Q2$ のソース電位も変化する。 gm 値は Vgs に比例して変化するため、式(7)に用いた gm_0 は一定ではなく、電圧源 VV の電圧値に従って変化してしまう。このことは、 gm アンプ回路そのものの設計を複雑にする。また、電圧値によっては、各MOSトランジスタが不飽和領域で動作する可能性がある。本実施例においては、p型MOSトランジスタ $Q6$ および $Q7$ を $Q1$ および $Q2$ のソース端に接続し、そのゲートに、バイアス回路1で生成した可変電圧源 VV の電圧値に対応したバイアス電圧を付加して、変動した直流電流を補うことでトランジスタ $Q1$ および $Q2$ のソースの直流電位は、電圧源 VV の電圧値に依存しない一定値となり、 gm_0 も一定値とすることができます。

【0029】

図9にバイアス回路1を含んだ回路例を示す。図9の $Q1'$ 、 $Q3'$ 、 $R1'$ 、 VV' は、図8の $Q1$ 、 $Q3$ 、 $R1$ 、 VV に対応した素子であり、 $Q3'$ のドレイン-ソース間に流れる電流値は、 $Q3$ のそれと同一である。 $Q1'$ のゲートには電圧値が $(V_{in+} - V_{in-})/2$ の定電圧源 VS が接続される。ゲート-ドレイン間を短絡したp型MOSトランジスタ $Q8$ のソースを $Q3'$ のドレイン端に接続し、そのゲート電位を、n型MOSトランジスタ $Q6$ および $Q7$ のゲートに与えるバイアス電圧とする。

図9に示す回路において、 VV の電圧値が変化すると $Q3$ 、 $Q4$ に流れる電流が変化する。このとき、 VV' の電圧値も変化するため $Q3$ 、 $Q4$ の電流変化分は $Q3'$ の電流変化分に、したがって $Q8$ の電流変化分に反映される。 $Q8$ と $Q6$ 、 $Q7$ とはカレントミラーを構成していることにより、 $Q3$ 、 $Q4$ の電流変化分は $Q6$ 、 $Q7$ を介して $Q3$ 、 $Q4$ に

与えられることになる。したがって、VVを変化させてもQ1、Q2に流れる電流を変化させないようにすることができ、Q1、Q2のソース電位を一定に保持することが可能になり、gm₀値を一定化とすることができます。

【0030】

(第3の実施例)

図10は、本発明の第3の実施例を示す回路図である。同図において、図6と同一の部分には、同一の参照符号が付されている。図10において、R3、R4は、正抵抗である。図6に示した第1の実施例においては、負性抵抗素子であるQ3およびQ4のドレインは、それぞれQ1のソースと抵抗R1との節点およびQ2のソースと抵抗R2との節点に接続されるが、本実施例においては、負性抵抗素子であるQ3およびQ4のドレインは、抵抗間の節点N1およびN2に接続された構成になっている。Gm値は、式(1)のRに、 $R_{R3} + 1 / (1 / R_{R1} - g_{mQ3})$ を代入した値となる。すなわち、図6の回路に対して、抵抗の値として、R_{R3}が加算されたものになる。本構成においては、第1の実施例と同等の効果が得られるが、Q1のソースと負性抵抗の間に抵抗R3が入ることで、Q3、Q4の非線形性が緩和され、全体として、より線形動作に近くなるgmアンプが得られる。

【0031】

(第4の実施例)

図11は、本発明の第4の実施例を示す回路図である。同図において、図6と同一の部分には、同一の参照符号が付されている。第1の実施例と異なる点は、負性抵抗素子としてのn型MOSトランジスタQ3およびQ4に代えて、p型MOSトランジスタQ9およびQ10が接続されていることである。

【0032】

(第5の実施例)

図12は、本発明の第5の実施例を示す回路図である。同図において、図6と同等の部分には、同一の参照符号が付されている。図6の回路が差動型回路であったのに対し、図12に示す本実施例回路はシングルエンドタイプのgmアンプである。n型MOSトランジスタQ1は、入力電圧信号Vinを受け、出力電流Ioutを出力するn型MOSトランジスタであり、そのソース端に正抵抗R1が接続されている。負性抵抗素子であるn型MOSトランジスタQ3のゲートには、そのドレイン端の電圧信号を位相反転回路INVによって反転された位相反転信号が入力される。位相反転回路INVの回路例を図13に示す。p型MOSトランジスタQ11と、n型MOSトランジスタQ12でインバータを構成し、p型MOSトランジスタQ13と、n型MOSトランジスタQ14で入出力端を短絡したインバータ型の負荷を形成する。この2つのインバータは、論理閾値電圧がR1とQ3のドレイン端との節点のDCバイアス値と等しくなるように設計する必要がある。Q3の負性抵抗値は、可変電圧源VVの電圧値を制御して、n型MOSトランジスタQ3のソースゲート間電圧を変化させてその負性抵抗値を制御する。

【0033】

(第6の実施例)

図14は、本発明の第6の実施例を示す回路図である。同図において、図6と同等の部分には、同一の参照符号が付されている。本実施例においては、第1の実施例において用いられていた可変電圧源VVが除去され、正抵抗R1、R2に代えて正抵抗値の可変抵抗R5、R6が接続されている。第1の実施例では、負性抵抗を制御することでgmアンプの利得可変を行っていたが、本実施例では、正抵抗を制御して同様の効果を得る。可変正抵抗を実現する回路例を図15に示す。同図において、R7は正抵抗、Q15はn型MOSトランジスタである。Q15は、抵抗体として用いるために、 $V_{gs} > V_{ds} + V_{th}$ (V_{gs} は、ゲート・ソース間電圧、 V_{ds} はドレン・ソース間電圧、 V_{th} はMOSトランジスタQ15の閾値)となる非飽和領域で用いる。抵抗値は、ゲートに与えるバイアス電圧で制御する。

【0034】

図 1 6 は、可変抵抗を実現する別の回路例である。ゲート・ドレイン間を短絡した n 型 M OS ランジスタ Q 1 6 のソースに、可変電圧源 V V を接続した構成になっている。正抵抗の値は、可変電圧源 V V の電圧値を制御して、トランジスタ Q 1 6 のゲート-ソース間電圧を変化させることで制御する。

図 1 4 に示す本実施例の回路において、トランジスタ Q 3 、 Q 4 のソースと接地間に、固定電圧の電圧源を挿入してもよい。

【 0 0 3 5 】

(第 7 の実施例)

図 1 7 は、本発明の第 7 の実施例を示す回路図である。同図において、図 6 と同一の部分には、同一の参照符号が付されている。図 1 7 に示す本実施例においては、第 1 の実施例 10 から正抵抗 R 1 、 R 2 が除去されている。本実施例の G m 値は、式 (2) において、 R_{R_3} を無限大とすることにより得られる。本実施例によれば、可変電圧源 V V の僅かな電圧変化により大きく G m 値を変化させることができる。

【 0 0 3 6 】

(第 8 の実施例)

図 1 8 は、本発明の第 8 の実施例を示す回路図である。同図において、図 1 0 と同一の部分には、同一の参照符号が付されている。図 1 8 に示す本実施例においては、図 1 0 に示される第 3 の実施例から正抵抗 R 1 、 R 2 が除去されている。本実施例の G m 値は、式 (1) の R に、 $R_{R_3} - 1 / g m_{Q_3}$ を代入した値となる。

【 0 0 3 7 】

(第 9 の実施例)

図 1 9 は、本発明の第 9 の実施例を示す回路図である。図 6 の回路図の n 型 M OS ランジスタ Q 1 、 Q 2 、 Q 3 、 Q 4 をそれぞれ n p n 型バイポーラトランジスタ B 1 、 B 2 、 B 3 、 B 4 に置き換えた構成になっている。

バイポーラトランジスタの電圧・電流変換利得を g m と定義することで、図 6 に示した第 1 の実施例と同様に式 (7) に従った動作が成立する〔但し、式 (7) 中の $g m_{Q_3}$ はバイポーラトランジスタ b 3 の g m 値である $g m_{B_3}$ に置き換えられる。〕。

【 0 0 3 8 】

(第 1 0 の実施例)

図 2 0 は、本発明の第 1 0 の実施例を示す回路図である。図 1 の負性抵抗 N R として、ト 30 ンネルダイオード T D を用いた構成となっている。トンネルダイオード T D の接地側に可変電圧源 V V を接続して、バイアスを制御することで、負性抵抗値を制御できる構成となっている。

【 0 0 3 9 】

(第 1 1 の実施例)

図 2 1 (a) は、本発明の第 1 1 の実施例を示す回路図であり、図 2 1 (b) は (a) 図の利得可変電圧・電流変換回路の回路図である。利得可変電圧・電流変換回路として図 6 に示した第 1 の実施例の回路を用いこれと容量素子 C 1 、 C 2 とで構成した、広帯域幅可変 2 次ローパスフィルタ回路である。

このフィルタ回路の伝達関数を式 (8) に示す。

【 0 0 4 0 】

【 数 8 】

$$F(s) = \frac{\frac{g m_1 \cdot g m_3}{C_1 \cdot C_2}}{s^2 + \frac{g m_2}{C_1} s + \frac{g m_3 \cdot g m_4}{C_1 \cdot C_2}} \quad \dots(8)$$

制御端子 V V を制御して、4つの g m アンプの利得を A 倍すると、伝達関数は、

【 0 0 4 1 】

【数 9】

$$\frac{\frac{A \cdot gm_1 \cdot A \cdot gm_3}{C_1 \cdot C_2}}{s^2 + \frac{A \cdot gm_2}{C_1} s + \frac{A \cdot gm_3 \cdot A \cdot gm_4}{C_1 \cdot C_2}} = \frac{\frac{gm_1 \cdot gm_3}{C_1 \cdot C_2}}{\left(\frac{s}{A}\right)^2 + \frac{gm_2}{C_1} \cdot \frac{s}{A} + \frac{gm_3 \cdot gm_4}{C_1 \cdot C_2}} = F\left(\frac{s}{A}\right)$$

となり、新たな伝達関数は、元の伝達関数に対して、周波数に関してA倍スケーリングされることが示される。これはすなわち、帯域幅がA倍されたことを示す。この様子を図2 2に示す。

10

【0042】

以上好ましい実施の形態、実施例について説明したが、本発明はこれら実施の形態、実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲内において適宜の変更が可能なものである。例えば、実施例では正抵抗素子と負性抵抗素子とのいずれか一方を可変抵抗器としていたが両方を可変抵抗器としてもよい。

20

【0043】

【発明の効果】

以上説明したように、本発明の利得可変電圧・電流変換回路は、電圧・電流変換能動素子と直列に負性抵抗素子を含む可変抵抗回路を接続したものであるので、スイッチ回路を用いることなく、唯一つの制御端子に調整電圧を加えることで利得を広く変化させることのできる利得可変電圧・電流変換回路を実現できる。また、本発明によれば、少ない素子数の簡素な回路で利得を変化させることができ、チップサイズの縮小が可能となり小型な利得可変電圧・電流変換回路を安価に提供することが可能になる。この回路により、複数の通信方式に対応したマルチモード対応チャネル選択フィルタを低チップ面積で実現でき、低チップ面積のマルチモード受信機の実現に大きく貢献することができる。

20

【図面の簡単な説明】

30

【図1】本発明の第1の実施の形態を示す回路図とその動作説明図である。

30

【図2】本発明の第2の実施の形態を示す回路図とその動作説明図である。

30

【図3】本発明の第3の実施の形態を示す回路図とその動作説明図である。

30

【図4】本発明の第4の実施の形態を示す回路図とその動作説明図である。

30

【図5】本発明の第5の実施の形態を示す回路図とその動作説明図である。

30

【図6】本発明の第1の実施例を示す回路図である。

30

【図7】図6における可変電圧源の具体例を示す回路図である。

30

【図8】本発明の第2の実施例を示す回路図である。

30

【図9】図8に示す回路をより具体的に示す回路図ある。

30

【図10】本発明の第3の実施例を示す回路図である。

30

【図11】本発明の第4の実施例を示す回路図である。

30

【図12】本発明の第5の実施例を示す回路図である。

30

【図13】図12における位相反転回路の具体例を示す回路図である。

30

【図14】本発明の第6の実施例を示す回路図である。

30

【図15】図14における可変正抵抗の第1の具体例を示す回路図である。

30

【図16】図14における可変正抵抗の第2の具体例を示す回路図である。

30

【図17】本発明の第7の実施例を示す回路図である。

30

【図18】本発明の第8の実施例を示す回路図である。

30

【図19】本発明の第9の実施例を示す回路図である。

30

【図20】本発明の第10の実施例を示す回路図である。

30

【図21】本発明の第11の実施例を示す回路図である。

30

【図22】本発明の第11の実施例の動作説明図である。

30

【図23】ソースデジエネレーション型 gm アンプの回路図である。

30

【図24】利得可変 gm アンプの第1の従来例の回路図である。

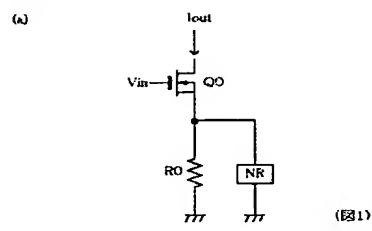
30

【図25】利得可変 g_m アンプの第2の従来例の回路図である。

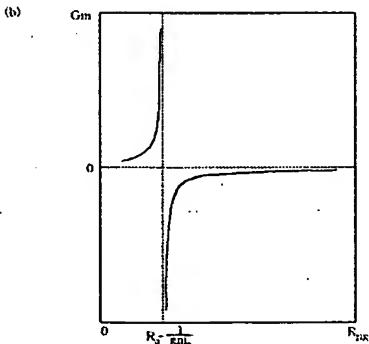
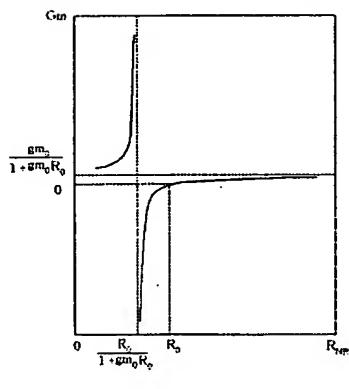
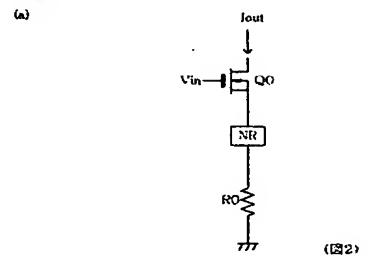
【符号の説明】

1 … バイアス回路、 B 1、 B 2、 B 3、 B 4 … n p n 型バイポーラトランジスタ、
 C S 1、 C S 2、 C S 3 … 電流源、 I N V … 位相反転回路、 O A … オ
 ペアンプ、 Q 0、 Q 1、 Q 1'、 Q 2、 Q 3、 Q 3'、 Q 4、 Q 5、 Q 12、 Q 1
 4、 Q 15、 Q 16、 Q 21、 Q 22、 Q 27、 Q 28、 Q 29、 Q 30、 Q 31、 Q 3
 2、 Q 33、 Q 34、 Q 35、 Q 36 … n 型MOSトランジスタ、 Q 6、 Q 7、 Q
 8、 Q 9、 Q 10、 Q 11、 Q 13、 Q 23、 Q 24、 Q 25、 Q 26 … p 型MOSトラ
 ンジスタ、 R 0、 R 00、 R 1、 R 1'、 R 2、 R 3、 R 4、 R 7、 R 21、 R 2
 7 … 正抵抗、 R 5、 R 6 … 可変抵抗、 S W 1、 S W 2、 S W 3、 S W 4、 S 10
 W 5 … スイッチ回路、 V S … 電圧源、 V V、 V V' … 可変電圧源、 T
 D … トンネルダイオード、 B 1、 B 2、 B 3、 B 4 … n p n 型バイポーラトランジ
 スタ

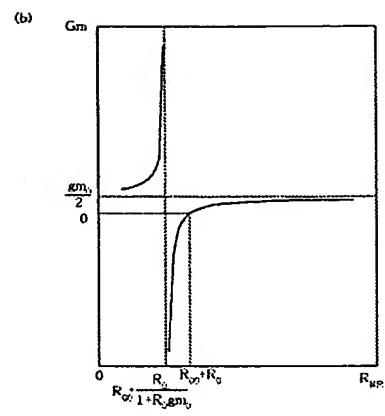
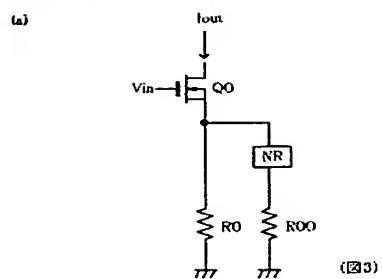
【図1】



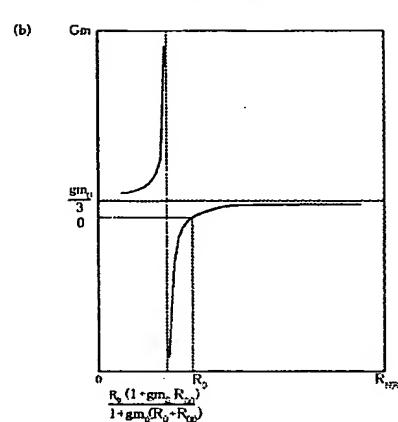
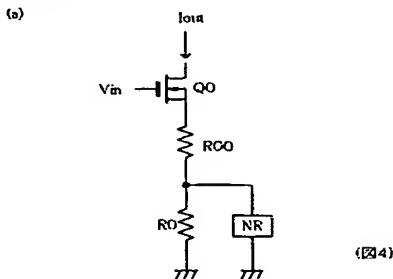
【図2】



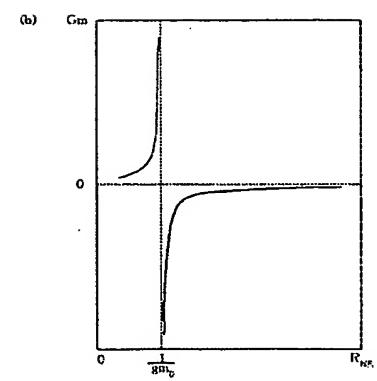
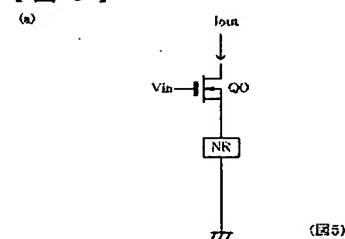
【 図 3 】



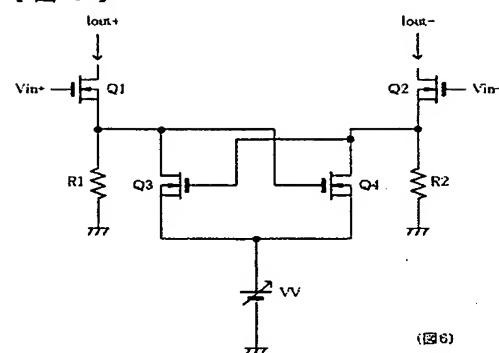
【 図 4 】



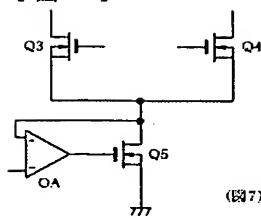
【 図 5 】



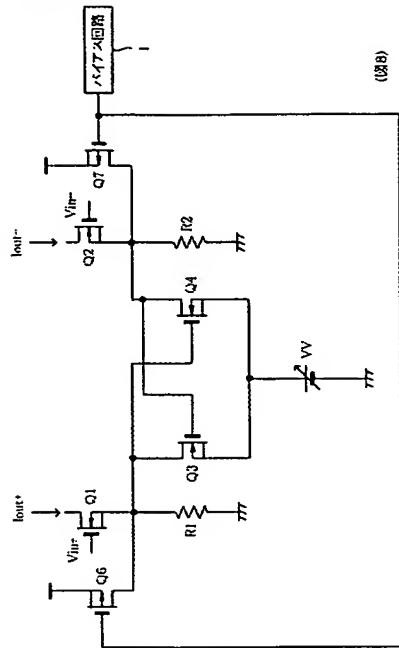
【 図 6 】



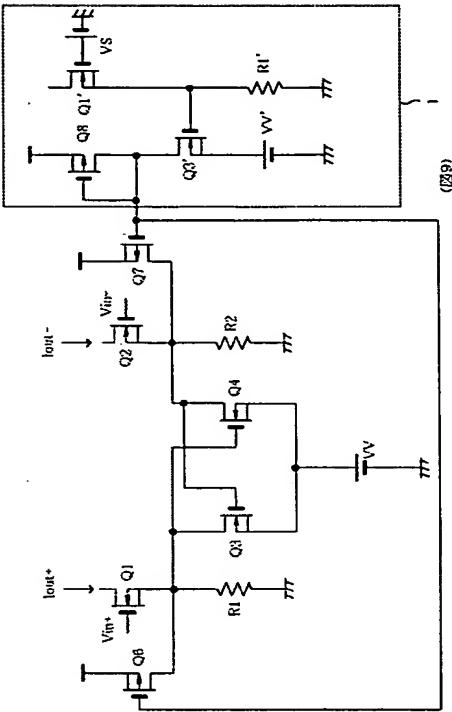
【 図 7 】



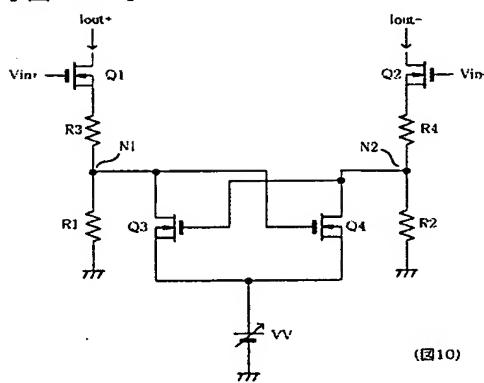
【図 8】



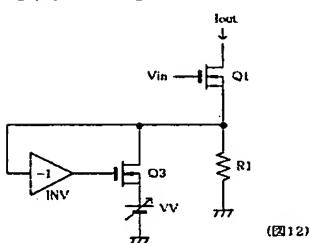
【図 9】



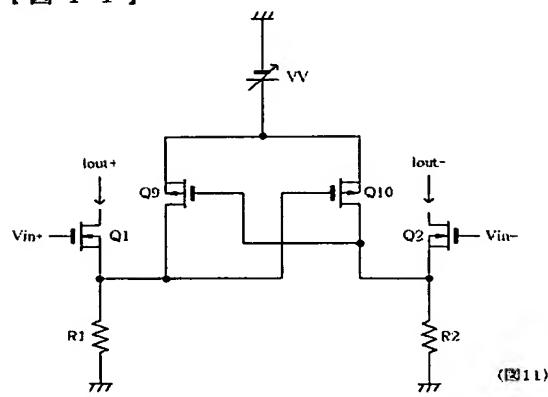
【図 10】



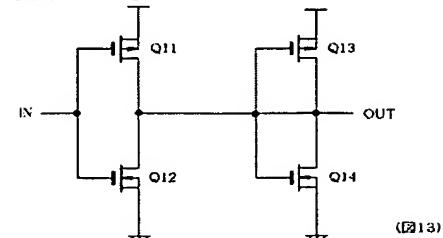
【図 12】



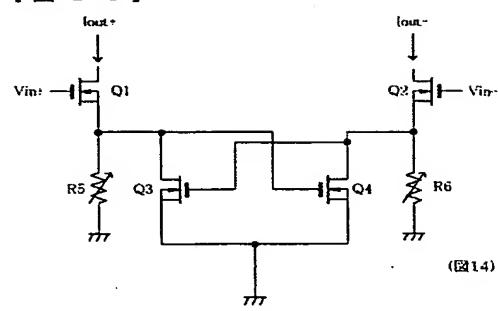
【図 11】



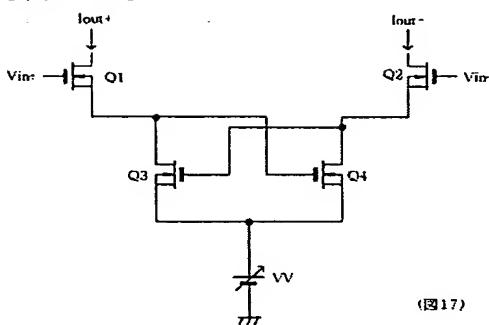
【図 13】



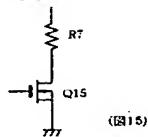
【 図 1 4 】



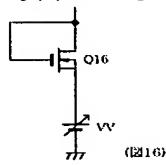
【 図 1 7 】



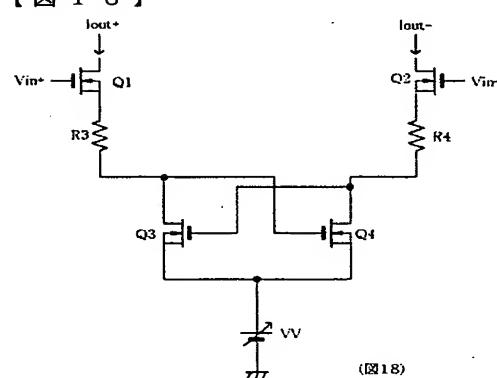
【 図 1 5 】



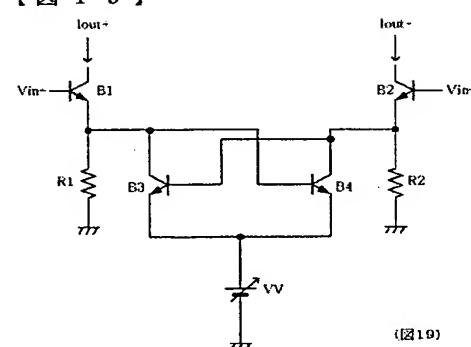
【 図 1 6 】



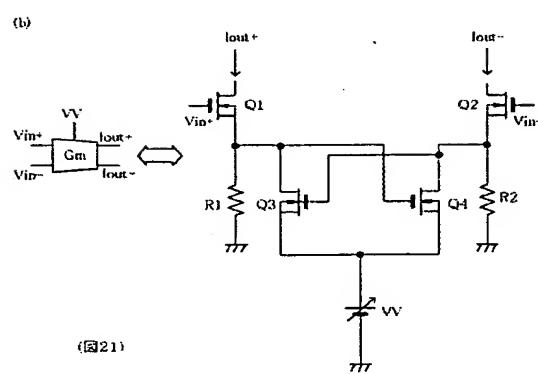
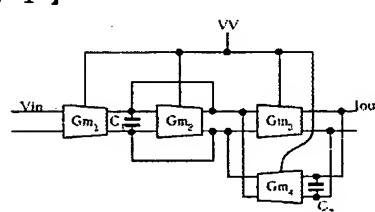
【 図 1 8 】



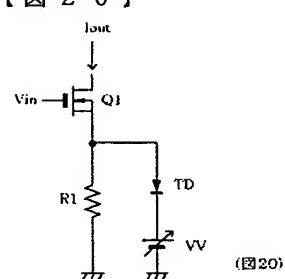
【 図 1 9 】



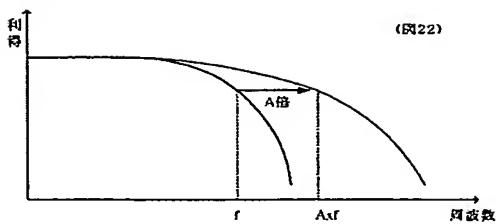
【 図 2 1 】



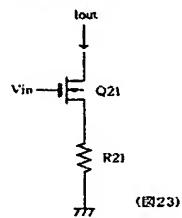
【 図 2 0 】



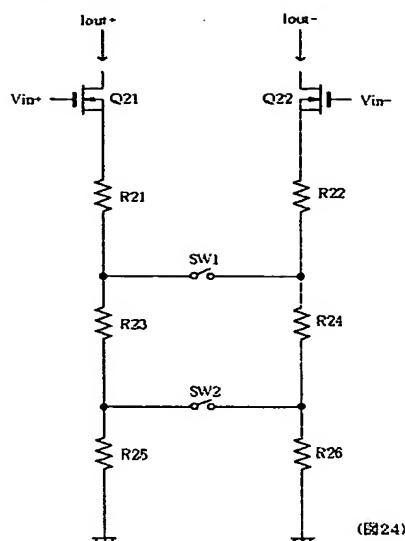
[図 22]



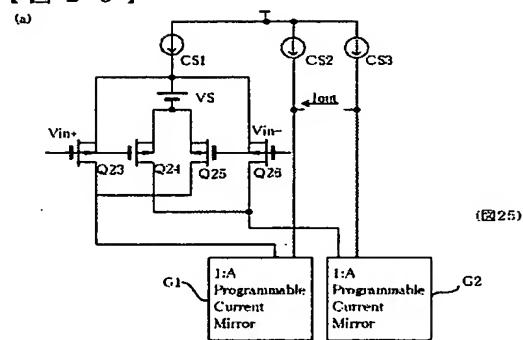
【図23】



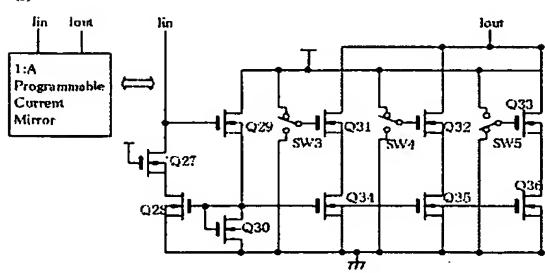
【图24】



【图 25】



(b)



フロントページの続き

F ターム(参考) 5J500 AA03 AA11 AA12 AC00 AC87 AC92 AF20 AH02 AH10 AH17
AH19 AH25 AH26 AH28 AH38 AK01 AK04 AK05 AK09 AK12
AK42 AK47 AK58 AM21 AS13 AT01 AT02 AT03

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.